

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-74703

(43) 公開日 平成11年(1999) 3月16日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 P 1/15

H 0 1 P 1/15

H 0 1 L 27/04

H 0 3 K 17/693

A

21/822

H 0 1 L 27/04

B

H 0 3 K 17/693

審査請求 有 請求項の数12 O L (全 14 頁)

(21) 出願番号 特願平9-236129

(22) 出願日 平成9年(1997) 9月1日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 水谷 浩

東京都港区芝五丁目7番1号 日本電気株式会社内

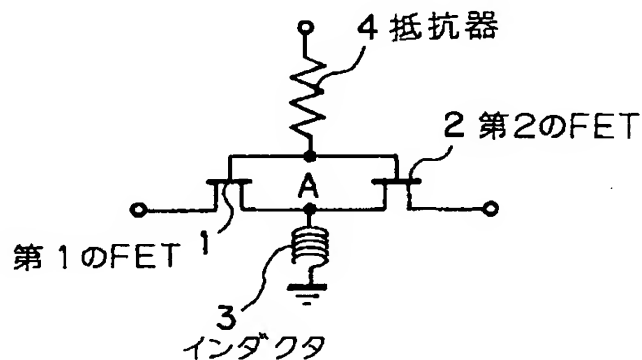
(74) 代理人 弁理士 若林 忠 (外4名)

(54) 【発明の名称】 スイッチ回路及び半導体装置

(57) 【要約】

【課題】 60GHz以上の高い周波数でも高性能を維持したまま広い有効帯域を得ることができるスイッチ回路及び半導体装置を提供する。

【解決手段】 直列に接続された二つの電界効果トランジスタと、二つの電界効果トランジスタの接続部位に一端が接続され、他端が接地されたインダクタとによって単位回路が構成され、直列に接続された少なくとも一つの単位回路を備え、電界効果トランジスタのゲートがそれぞれ共通に接続されて電界効果トランジスタのオンオフを制御するためのバイアス電圧が抵抗器を介してそれぞれに等しく印加される構成とする。



【特許請求の範囲】

【請求項 1】 直列に接続された二つの電界効果トランジスタと、

二つの前記電界効果トランジスタの接続部位に一端が接続され、他端が接地されたインダクタと、によって単位回路が構成され、

直列に接続された少なくとも一つの前記単位回路を備え、前記電界効果トランジスタのゲートがそれぞれ共通に接続されて、前記電界効果トランジスタのオンオフを制御するためのバイアス電圧が抵抗器を介してそれぞれのゲートに等しく印加されるスイッチ回路。

【請求項 2】 前記インダクタは、半導体基板に設けられたビアホールである請求項 1 記載のスイッチ回路。

【請求項 3】 前記電界効果トランジスタのソースあるいはドレインの少なくとも一方に、インダクタとして動作する伝送線路が接続される請求項 1 または 2 記載のスイッチ回路。

【請求項 4】 電界効果トランジスタと、前記電界効果トランジスタのソースに一端が接続され、他端が接地された第 1 のインダクタと、

前記電界効果トランジスタのドレインに一端が接続され、他端が接地された第 2 のインダクタと、によって単位回路が構成され、

直列に接続された少なくとも一つの前記単位回路を備え、前記電界効果トランジスタのゲートがそれぞれ共通に接続されて、前記電界効果トランジスタのオンオフを制御するためのバイアス電圧が抵抗器を介してそれぞれのゲートに等しく印加されるスイッチ回路。

【請求項 5】 電界効果トランジスタと、前記電界効果トランジスタのソースに直列に接続される、インダクタとして動作する第 1 の伝送線路及び第 2 の伝送線路と、

前記電界効果トランジスタのドレインに直列に接続される、インダクタとして動作する第 3 の伝送線路及び第 4 の伝送線路と、

前記第 1 の伝送線路及び前記第 2 の伝送線路の接続部位に一端が接続され、他端が接地された第 1 のインダクタと、

前記第 3 の伝送線路及び前記第 4 の伝送線路の接続部位に一端が接続され、他端が接地された第 2 のインダクタと、によって単位回路が構成され、

直列に接続された少なくとも一つの前記単位回路を備え、前記電界効果トランジスタのゲートがそれぞれ共通に接続されて、前記電界効果トランジスタのオンオフを制御するためのバイアス電圧が抵抗器を介してそれぞれのゲートに等しく印加されるスイッチ回路。

【請求項 6】 前記インダクタは、半導体基板に設けられたビアホールである請求項 4 または 5 記載のスイッチ回路。

【請求項 7】 請求項 1 乃至 6 のいずれか 1 項に記載の

スイッチ回路を複数備え、

該スイッチ回路のそれぞれの一端を共通にし、該スイッチ回路毎に異なった前記バイアス電圧が印加可能なスイッチ回路。

【請求項 8】 ソース電極及びドレイン電極がゲート電極を挟んで配置され、前記ソース電極またはドレイン電極のいずれか一方を共有電極とすることで直列に接続された二つの電界効果トランジスタと、

前記共有電極と接地電位を接続するために半導体基板に設けられる、インダクタとして動作するビアホールと、によって単位素子が構成され、

前記ソース電極またはドレイン電極のいずれか一方を前記共有電極とすることで直列に接続された少なくとも一つの前記単位素子を備え、前記ゲート電極がそれぞれ共通に接続されて、前記電界効果トランジスタのオンオフを制御するためのバイアス電圧をそれぞれのゲート電極に等しく印加するためのゲートバイアス線に抵抗器を備えた半導体装置。

【請求項 9】 前記ビアホールと前記共有電極が、インダクタとして動作する伝送線路で接続された半導体装置。

【請求項 10】 ソース電極及びドレイン電極がゲート電極を挟んで配置された電界効果トランジスタと、前記ソース電極と接地電位を接続するために半導体基板に設けられる、インダクタとして動作する第 1 のビアホールと、

前記ドレイン電極と接地電位を接続するために半導体基板に設けられる、インダクタとして動作する第 2 のビアホールと、によって単位素子が構成され、

前記ソース電極またはドレイン電極のいずれか一方を前記共有電極とすることで直列に接続された少なくとも一つの前記単位素子を備え、前記ゲート電極がそれぞれ共通に接続されて、前記電界効果トランジスタのオンオフを制御するためのバイアス電圧をそれぞれのゲート電極に等しく印加するためのゲートバイアス線に抵抗器を備えた半導体装置。

【請求項 11】 インダクタとして動作する第 1 の伝送線路及び第 2 の伝送線路の機能を備えたソース電極、及びインダクタとして動作する第 3 の伝送線路及び第 4 の伝送線路の機能を備えたドレイン電極がゲート電極を挟んで配置された電界効果トランジスタと、前記第 1 の伝送線路及び第 2 の伝送線路の接続点と接地電位を接続するために半導体基板に設けられる、インダクタとして動作する第 1 のビアホールと、前記第 3 の伝送線路及び第 4 の伝送線路の接続点と接地電位を接続するために半導体基板に設けられる、インダクタとして動作する第 2 のビアホールと、によって単位素子が構成され、

前記ソース電極またはドレイン電極のいずれか一方を前記共有電極とすることで直列に接続された少なくとも一

つの前記単位素子を備え、前記ゲート電極がそれぞれ共通に接続されて、前記電界効果トランジスタのオンオフを制御するためのバイアス電圧をそれぞれのゲート電極に等しく印加するためのゲートバイアス線に抵抗器を備えた半導体装置。

【請求項 1 2】 請求項 8 乃至 1 1 のいずれか 1 項に記載の半導体装置を複数備え、

該半導体装置のそれぞれの一端を共通にし、該半導体装置毎に異なった前記バイアス電圧が印加可能なゲートバイアス線にそれぞれ抵抗素子を備えた半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は少なくとも一つの電界効果トランジスタからなるスイッチ回路及び半導体装置に関するものである。

【0002】

【従来の技術】ミリ波帯用の電界効果トランジスタ（以下、FETと称す）を有するスイッチ回路として、FETのソースドレイン間にインダクタが並列に接続された半導体装置が有望視されている（伊山ら「インダクタ内蔵FETスイッチ」通信学会技報V o 1 . MW-9 6 - 7 1 , p p . 2 1 - 2 6 , J u l y , 1 9 9 6 ）。

【0003】図 2 8 は従来のスイッチ回路の構成を示す回路図である。図 2 8 において、FET 1 2 1 のソースドレイン間にはインダクタ 1 2 3 が並列に接続され、FET 1 2 1 がオン／オフすることで第 1 の端子 1 2 5 及び第 2 の端子 1 2 6 間がスイッチとして動作する。ここで、FET 1 2 1 は 3 端子素子であるが、ゲートに十分な大きさの抵抗器 1 2 4 が接続されている場合、ゲートに繋がるバイアス線路は RF 的に開放となり、FET 1 2 1 は等価的に 2 端子素子として表わすことができる。すなわち、FET 1 2 1 がオフのときは容量 C と等価になり、オンのときは抵抗器 R と等価になる。

【0004】図 2 9 は図 2 8 に示した FET がオフのときの等価回路を示す回路図であり、図 3 0 は図 2 8 に示した FET がオンのときの等価回路を示す回路図である。

【0005】図 2 9 において、ゲートにピンチオフ電圧以下の電圧を印加し FET 1 2 1 をオフにすると、第 1 の端子 1 2 5 及び第 2 の端子 1 2 6 間は容量 C とインダクタ L とが並列に接続された回路と等価となる。このとき、第 1 の端子 1 2 5 及び第 2 の端子 1 2 6 間のアイソレーション I s は次式で表わすことができる。

【0006】

【数 1】

$$I_s = \frac{1}{1 + \left[\frac{\pi f L}{Z_0 (1 - 4 \pi^2 f^2 L C)} \right]^2} \quad (1)$$

ここで、並列に接続された容量 C とインダクタ L の共振

周波数 f 0 は、

【0007】

【数 2】

$$I_s = \frac{1}{1 + \left[\frac{\pi f L}{Z_0 (1 - 4 \pi^2 f^2 L C)} \right]^2} \quad (1)$$

となり、共振周波数 f 0 の信号が入力されたときに第 1 の端子 1 2 5 から第 2 の端子 1 2 6 に透過する電力がゼロになる。また、このときのアイソレーション I s は理想的には無限大となる。

【0008】しかしながら、第 1 の端子 1 2 5 から入力された信号の周波数が共振周波数 f 0 から少しでもずれていると、アイソレーション I s が大きく劣化する。図 2 8 に示した従来の半導体装置では、共振周波数 f 0 = 3 7 G H z でアイソレーション I s が 1 0 d B であるが、周波数が 3 5 G H z になるとアイソレーションは 7 d B に劣化する。

【0009】一方、FET 1 2 1 をオンにすると、図 3 0 に示すように第 1 の端子 1 2 5 及び第 2 の端子 1 2 6 間は抵抗 R とインダクタ L が並列に接続された回路と等価になる。このとき、第 1 の端子 1 2 5 から第 2 の端子 1 2 6 に透過する電力は、第 1 の端子 1 2 5 及び第 2 の端子 1 2 6 のインピーダンスをそれぞれ Z 0 とすると、

【0010】

【数 3】

$$S_{21} = \frac{2}{2 + \frac{R}{Z_0 (1 + \frac{R}{2 \pi j f L})}}$$

で求めることができる。このときの挿入損失 I L はゼロから周波数 f が大きくなるにしたがい

【0011】

【数 4】

$$I_L = \left[\frac{2}{2 + \frac{R}{Z_0}} \right]^2 \quad (3)$$

に近づいていく。図 2 8 に示した従来のスイッチ回路の挿入損失は 3 7 G H z で 1 . 3 d B であった。

【0012】ところで、従来のスイッチ回路において、例えば 9 4 G H z の信号に対する挿入損失とアイソレーション I s の値は、理想的には式 (1) と式 (3) を使って計算できる。図 3 1 はその計算結果を示すグラフである。図 3 1 に示したグラフによれば、L = 1 0 0 p H 、C = 0 . 0 3 p F で、共振周波数 f 0 が 9 2 G H z となる。このとき、アイソレーション I s が 2 0 d B 以上となる周波数範囲をこの回路の有効帯域と定義する

と、図 28 に示したスイッチ回路の有効帯域は 5.3 GHz となる。

【0013】

【発明が解決しようとする課題】しかしながら上記したような従来のスイッチ回路では有効帯域が狭くなるという問題があった。

【0014】本発明は上記したような従来の技術が有する問題点を解決するためになされたものであり、60 GHz 以上の高い周波数でもスイッチ回路として高性能を維持したまま広い有効帯域を得ることができるスイッチ回路及び半導体装置を提供することを目的とする。

【0015】

【課題を解決するための手段】上記目的を達成するため本発明のスイッチ回路は、直列に接続された二つの電界効果トランジスタと、二つの前記電界効果トランジスタの接続部位に一端が接続され、他端が接地されたインダクタと、によって単位回路が構成され、直列に接続された少なくとも一つの前記単位回路を備え、前記電界効果トランジスタのゲートがそれぞれ共通に接続されて、前記電界効果トランジスタのオンオフを制御するためのバイアス電圧が抵抗器を介してそれぞれのゲートに等しく印加されるものである。

【0016】このとき、前記インダクタは、半導体基板に設けられたビアホールであってもよく、前記電界効果トランジスタのソースあるいはドレインの少なくとも一方に、インダクタとして動作する伝送線路が接続されていてもよい。

【0017】また、本発明のスイッチ回路の他の構成は、電界効果トランジスタと、前記電界効果トランジスタのソースに一端が接続され、他端が接地された第 1 のインダクタと、前記電界効果トランジスタのドレインに一端が接続され、他端が接地された第 2 のインダクタと、によって単位回路が構成され、直列に接続された少なくとも一つの前記単位回路を備え、前記電界効果トランジスタのゲートがそれぞれ共通に接続されて、前記電界効果トランジスタのオンオフを制御するためのバイアス電圧が抵抗器を介してそれぞれのゲートに等しく印加されるものである。

【0018】あるいは、電界効果トランジスタと、前記電界効果トランジスタのソースに直列に接続される、インダクタとして動作する第 1 の伝送線路及び第 2 の伝送線路と、前記電界効果トランジスタのドレインに直列に接続される、インダクタとして動作する第 3 の伝送線路及び第 4 の伝送線路と、前記第 1 の伝送線路及び前記第 2 の伝送線路の接続部位に一端が接続され、他端が接地された第 1 のインダクタと、前記第 3 の伝送線路及び前記第 4 の伝送線路の接続部位に一端が接続され、他端が接地された第 2 のインダクタと、によって単位回路が構成され、直列に接続された少なくとも一つの前記単位回路を備え、前記電界効果トランジスタのゲートがそれぞ

れ共通に接続されて、前記電界効果トランジスタのオンオフを制御するためのバイアス電圧が抵抗器を介してそれぞれのゲートに等しく印加されるものである。

【0019】このとき、前記インダクタは、半導体基板に設けられたビアホールであってもよい。

【0020】また、上記したいずれかのスイッチ回路を複数備え、該スイッチ回路のそれぞれの一端を共通にし、該スイッチ回路毎に異なった前記バイアス電圧が印加可能なスイッチ回路を構成してもよい。

【0021】一方、本発明の半導体装置は、ソース電極及びドレイン電極がゲート電極を挟んで配置され、前記ソース電極またはドレイン電極のいずれか一方を共有電極とすることで直列に接続された二つの電界効果トランジスタと、前記共有電極と接地電位を接続するために半導体基板に設けられる、インダクタとして動作するビアホールと、によって単位素子が構成され、前記ソース電極またはドレイン電極のいずれか一方を前記共有電極とすることで直列に接続された少なくとも一つの前記単位素子を備え、前記ゲート電極がそれぞれ共通に接続されて、前記電界効果トランジスタのオンオフを制御するためのバイアス電圧をそれぞれのゲート電極に等しく印加するためのゲートバイアス線に抵抗器を備えたものである。

【0022】このとき、前記ビアホールと前記共有電極が、インダクタとして動作する伝送線路で接続されていてもよい。

【0023】また、本発明の半導体装置の他の構成は、ソース電極及びドレイン電極がゲート電極を挟んで配置された電界効果トランジスタと、前記ソース電極と接地電位を接続するために半導体基板に設けられる、インダクタとして動作する第 1 のビアホールと、前記ドレイン電極と接地電位を接続するために半導体基板に設けられる、インダクタとして動作する第 2 のビアホールと、によって単位素子が構成され、前記ソース電極またはドレイン電極のいずれか一方を前記共有電極とすることで直列に接続された少なくとも一つの前記単位素子を備え、前記ゲート電極がそれぞれ共通に接続されて、前記電界効果トランジスタのオンオフを制御するためのバイアス電圧をそれぞれのゲート電極に等しく印加するためのゲートバイアス線に抵抗器を備えたものである。

【0024】あるいは、インダクタとして動作する第 1 の伝送線路及び第 2 の伝送線路の機能を備えたソース電極、及びインダクタとして動作する第 3 の伝送線路及び第 4 の伝送線路の機能を備えたドレイン電極がゲート電極を挟んで配置された電界効果トランジスタと、前記第 1 の伝送線路及び第 2 の伝送線路の接続点と接地電位を接続するために半導体基板に設けられる、インダクタとして動作する第 1 のビアホールと、前記第 3 の伝送線路及び第 4 の伝送線路の接続点と接地電位を接続するために半導体基板に設けられる、インダクタとして動作する

第2のピアホールと、によって単位素子が構成され、前記ソース電極またはドレイン電極のいずれか一方を前記共有電極とすることで直列に接続された少なくとも一つの前記単位素子を備え、前記ゲート電極がそれぞれ共通に接続されて、前記電界効果トランジスタのオンオフを制御するためのバイアス電圧をそれぞれのゲート電極に等しく印加するためのゲートバイアス線に抵抗器を備えたものである。

【0025】また、上記したいずれかの半導体装置を複数備え、該半導体装置のそれぞれの一端を共通にし、該半導体装置毎に異なった前記バイアス電圧が印加可能なゲートバイアス線にそれぞれ抵抗素子を備えた半導体装置を構成してもよい。

【0026】上記のように構成されたスイッチ回路及び半導体装置では、電界効果トランジスタはオフのときに容量として動作するため、この容量とピアホールあるいは伝送線路で形成されたインダクタとによってT型あるいは π 型ハイパスフィルタが構成される。したがって、低挿入損失で広帯域特性を備えたオン状態が実現される。

【0027】一方、電界効果トランジスタはオンのときに抵抗として動作するため、この抵抗による損失によって高いアイソレーションで広帯域特性を有するオフ状態が実現される。

【0028】

【発明の実施の形態】次に本発明について図面を参照して説明する。

【0029】（第1の実施の形態）図1は本発明のスイッチ回路の第1の実施の形態の構成要素である単位回路の構成を示す回路図であり、図2は本発明のスイッチ回路の第1の実施の形態の構成を示す回路図である。また、図3は図1に示したFETがオフのときの等価回路を示す回路図であり、図4は図1に示したFETがオンのときの等価回路を示す回路図である。

【0030】図1において、単位回路は、第1のFET 1、第2のFET 2及びインダクタ3によって構成されている。第1のFET 1のドレインあるいはソースと、第2のFET 2のソースあるいはドレインが接続され、第1のFET 1及び第2のFET 2は直列に接続されている。第1のFET 1及び第2のFET 2の接続点Aにはインダクタ3の一端が接続され、インダクタ3の他端は接地されている。また、第1のFET 1のゲート及び第2のFET 2のゲートは共通に接続され、抵抗器4が接続されている。

【0031】図2において、本実施の形態のスイッチ回路は、図1に示した単位回路が複数個直列に接続されて構成されている。各単位回路の構成要素であるFETのゲートはそれぞれ共通に接続され、抵抗器4を介してそれぞれに等しいバイアス電圧が印加される。また、スイッチ回路の両端は第1の端子5及び第2の端子6に接続

されている。

【0032】このような構成において、各FETがオフのとき、各単位回路は図3に示すT型ハイパスフィルタと等価となるため、第1の端子5及び第2の端子6間（スイッチ回路）には低挿入損失で広帯域特性を備えたオン状態が実現される。

【0033】一方、各FETがオンのとき、各単位回路は図4に示すような回路と等価となり、直列に接続された複数のFETの各抵抗によって第1の端子5及び第2の端子6間（スイッチ回路）には高いアイソレーションで広帯域特性を有するオフ状態が実現される。

【0034】なお、一つの単位回路で十分なアイソレーションを得ることができる場合は（例えば抵抗値が十分な大きさのとき）、単位回路を複数個設ける必要はない。この場合でも、スイッチがオンのときはT型ハイパスフィルタを形成するため、低挿入損失と広帯域特性とが損なわれることはない。なお、設計に際して第1の端子5及び第2の端子6間の周波数特性はFETの容量とインダクタの値で決定される。

【0035】次に、本実施の形態のスイッチ回路を形成した半導体装置について図5を用いて説明する。

【0036】本実施の形態の半導体装置は、図1に示したスイッチ回路を基に、ゲート長が0.15 μ m、ゲート幅が100 μ mのAlGaAs系ヘテロ接合のFETを8個直列に接続して構成した。また、FETがオフのときの容量は30fF、インダクタンスは13pHである。この半導体装置のスイッチ特性を図5に示す。

【0037】図5は本発明の半導体装置の第1の実施の形態の周波数特性を示すグラフである。図5に示すように、本実施の形態の半導体装置は、300GHzから500GHzの広い周波数範囲で、挿入損失が2.3dB以下、アイソレーションが44dB以上の特性を得た。また、有効帯域は200GHzであった。

【0038】（第2の実施の形態）図6は本発明のスイッチ回路の第2の実施の形態の構成要素である単位回路の構成を示す回路図であり、図7は本発明のスイッチ回路の第2の実施の形態の構成を示す回路図である。

【0039】図6において、単位回路は、ドレインにインダクタとして動作する第1の伝送線路17が接続され、ソースにインダクタとして動作する第2の伝送線路18がそれぞれ接続された第1のFET 11及び第2のFET 12と、インダクタ13とによって構成されている。第1のFET 11及び第2のFET 12は第2の伝送線路18を介して直列に接続され、それらの接続点Aにはインダクタ13の一端が接続され、インダクタ13の他端は接地されている。また、第1のFET 11のゲート及び第2のFET 12のゲートは共通に接続され、抵抗器14が接続されている。

【0040】図7において、本実施の形態のスイッチ回路は、図6に示した単位回路が複数個直列に接続されて

構成されている。各単位回路の構成要素である F E T のゲートはそれぞれ共通に接続され、抵抗器 1 4 を介してそれぞれに等しいバイアス電圧が印加される。また、スイッチ回路の両端は第 1 の端子 1 5 及び第 2 の端子 1 6 に接続されている。

【0041】このような構成において、本実施の形態のスイッチ回路は、第 1 の実施の形態と同様に、各 F E T がオフのとき、各単位回路は T 型ハイパスフィルタと等価となるため、第 1 の端子 1 5 及び第 2 の端子 1 6 間には低挿入損失で広帯域特性を備えたオン状態が実現される。

【0042】一方、各 F E T がオンのとき、直列に接続された複数の F E T の各抵抗によって第 1 の端子 1 5 及び第 2 の端子 1 6 間には高いアイソレーションで広帯域特性を有するオフ状態が実現される。

【0043】なお、設計に際して第 1 の端子 1 5 及び第 2 の端子 1 6 間の周波数特性は F E T の容量とインダクタで決定される。

【0044】次に、本実施の形態のスイッチ回路を形成した半導体装置について図 8 ~ 図 1 0 を用いて説明する。

【0045】本実施の形態の半導体装置は、図 7 に示したスイッチ回路を基に、ゲート長が $0.15\mu\text{m}$ 、ゲート幅が $100\mu\text{m}$ の A l G a A s 系ヘテロ接合の F E T と、長さ $5\mu\text{m}$ 、幅 $100\mu\text{m}$ の第 1 の伝送線路 1 7 と、長さ $150\mu\text{m}$ 、幅 $100\mu\text{m}$ の第 2 の伝送線路 1 8 とからなる単位回路を 1 0 個直列に接続して構成した。なお、F E T のオフ時の容量は 30fF 、インダクタンスは 13pH である。図 8 は本発明の半導体装置の第 2 の実施の形態の構造を示す平面図である。

【0046】図 8 において、F E T はゲート電極 2 2 を挟んでドレイン電極 2 3 及びソース電極 2 4 が両側に配置されて構成される。なお、ドレイン電極 2 3 及びソース電極 2 4 はそれぞれ伝送線路としても機能する。

【0047】また、二つの F E T のソース電極 2 4 同士が接続され、接続された二つのソース電極 2 4 の接続部位は、インダクタ 1 3 として機能するビアホール 2 0 を介して接地金属が一面に配された半導体基板の裏面に接続される。これら伝送線路を含む二つの F E T 及びビアホール 2 0 によって単位素子が形成され、単位素子を 1 0 個直列に配置することで本実施の形態の半導体装置が形成される。

【0048】また、各 F E T のゲート電極 2 2 はそれぞれ共通に接続され、バイアス線路上に設けられた抵抗器 1 4 を介してそれぞれに等しいバイアス電圧が印加される。また、半導体装置の両端には不図示の第 1 の端子 1 5 及び第 2 の端子 1 6 が接続される。

【0049】図 9 は図 8 に示した半導体装置の周波数特性を示すグラフである。図 9 に示すように、本実施の形態の半導体装置は、 8.4GHz から 9.8GHz の広い周

波数範囲で挿入損失 1.8dB 以下、アイソレーション 34dB 以上の特性を得た。また、有効帯域は 1.4GHz であった。

【0050】図 1 0 は本発明の半導体装置の第 2 の実施の形態の単位素子を 6 個直列に接続した場合の周波数特性を示すグラフである。図 1 0 に示すように、本実施の形態の単位素子を 6 個直列に接続した半導体装置は、 8.3GHz から 9.7GHz の広い周波数範囲で挿入損失が 1.7dB 以下、アイソレーションが 25dB 以上の特性を得た。また、有効帯域は 1.4GHz であった。

【0051】なお、図 9 及び図 1 0 のグラフを比較して明らかなように、単位素子の数が少なくなると、オフ状態における抵抗値が小さくなるため、アイソレーションが劣化する傾向にある。

【0052】（第 3 の実施の形態）図 1 1 は本発明のスイッチ回路の第 3 の実施の形態の構成要素である単位回路の構成を示す回路図であり、図 1 2 は本発明のスイッチ回路の第 3 の実施の形態の構成を示す回路図である。

【0053】図 1 1 において、単位回路は、ドレインに第 1 の伝送線路 3 7 が接続され、ソースに第 2 の伝送線路 3 8 がそれぞれ接続された第 1 の F E T 3 1 及び第 2 の F E T 3 2 と、第 3 の伝送線路 3 9 と、インダクタ 3 3 とによって構成される。なお、本実施の形態ではインダクタ 3 3 としてピアホール 4 0 を用いている。第 1 の F E T 3 1 及び第 2 の F E T 3 2 は第 2 の伝送線路 3 8 を介して直列に接続され、それらの接続点 A には第 3 の伝送線路 3 9 及びピアホール 4 0 が直列に接続され、ピアホール 4 0 の他端（第 3 の伝送線路 3 9 と接続されない側）は接地されている。また、第 1 の F E T 3 1 のゲート及び第 2 の F E T 3 2 のゲートは共通に接続され、抵抗器 3 4 が接続されている。

【0054】図 1 2 において、本実施の形態のスイッチ回路は、図 1 1 に示した単位回路が複数個直列に接続されて構成されている。各単位回路の構成要素である F E T のゲートはそれぞれ共通に接続され、抵抗器 3 4 を介してそれぞれに等しいバイアス電圧が印加される。また、スイッチ回路の両端は第 1 の端子 3 5 及び第 2 の端子 3 6 に接続されている。

【0055】このような構成において、本実施の形態のスイッチ回路は、第 1 の実施の形態及び第 2 の実施の形態と同様に、各 F E T がオフのとき、各単位回路は T 型ハイパスフィルタと等価となるため、第 1 の端子 3 5 及び第 2 の端子 3 6 間には低挿入損失で広帯域特性を備えたオン状態が実現される。

【0056】一方、各 F E T がオンのとき、直列に接続された複数の F E T の各抵抗によって第 1 の端子 3 5 及び第 2 の端子 3 6 間には高いアイソレーションで広帯域特性を有するオフ状態が実現される。

【0057】なお、第 1 の端子 3 5 及び第 2 の端子 3 6 間の周波数特性は各 F E T の容量と第 1 の伝送線路 3

7、第2の伝送線路38、及び第3の伝送線路39のそれぞれの幅と長さによって決定される。

【0058】次に、本実施の形態のスイッチ回路を形成した半導体装置について図13及び図14を用いて説明する。

【0059】本実施の形態の半導体装置は、図12に示したスイッチ回路を基に、ゲート長が $0.15\mu\text{m}$ 、ゲート幅が $100\mu\text{m}$ のAlGaAs系ヘテロ接合のFETと、長さ $5\mu\text{m}$ 、幅 $100\mu\text{m}$ の第1の伝送線路37と、長さ $5\mu\text{m}$ 、幅 $100\mu\text{m}$ の第2の伝送線路38と、長さ $150\mu\text{m}$ 、幅 $25\mu\text{m}$ の第3の伝送線路39と、長さ $50\mu\text{m}$ 、幅 $50\mu\text{m}$ の大きさの電極の下に形成された 13pH のインダクタンスを有するビアホール40とからなる単位素子を10個直列に接続して構成した。なお、FETのオフ時の容量は 30fF 、インダクタンスは 13pH である。

【0060】図13は本発明の半導体装置の第3の実施の形態の構造を示す平面図である。

【0061】図13において、FETはゲート電極42を挟んでドレイン電極43及びソース電極44が両側に配置されて構成される。なお、ドレイン電極43及びソース電極44はそれぞれ伝送線路としても機能する。

【0062】また、二つのFETのソース電極44どうしが接続され、接続された二つのソース電極44の接続部位は、第3の伝送線路39とインダクタ33として機能するビアホール40を介して接地金属が一面に配された半導体基板の裏面に接続される。これら伝送線路を含む二つのFET、第3の伝送線路39、及びビアホール40によって単位素子が形成され、単位素子を10個直列に配置することで本実施の形態の半導体装置が形成される。

【0063】また、各FETのゲート電極42はそれぞれ共通に接続され、バイアス線路上に設けられた抵抗器34を介してそれぞれに等しいバイアス電圧が印加される。また、半導体装置の両端には不図示の第1の端子35及び第2の端子36が接続される。

【0064】図14は図13に示した半導体装置の周波数特性を示すグラフである。図14に示すように、本実施の形態の半導体装置は、 59GHz から 71GHz の広い周波数範囲で挿入損失が 2.6dB 以下、アイソレーションが 22.5dB 以上の特性を得た。また、有効帯域は 12GHz であった。

【0065】（第4の実施の形態）図15は本発明のスイッチ回路の第4の実施の形態の構成要素である単位回路の構成を示す回路図であり、図16は本発明のスイッチ回路の第4の実施の形態の構成を示す回路図である。

【0066】図15において、本実施の形態の単位回路は、第3の実施の形態で示した単位回路から第1の伝送線路を除いた構成である。単位回路は、ソースに第2の伝送線路58がそれぞれ接続された第1のFET51及

び第2のFET52と、第3の伝送線路59と、インダクタ53とによって構成される。なお、本実施の形態ではインダクタ53としてビアホール60を用いている。第1のFET51及び第2のFET52は第2の伝送線路58を介して直列に接続され、それらの接続点Aには第3の伝送線路59及びビアホール60が直列に接続され、ビアホール60の他端（第3の伝送線路59と接続されない側）は接地されている。また、第1のFET51のゲート及び第2のFET52のゲートは共通に接続され、抵抗器54が接続されている。

【0067】図16において、本実施の形態のスイッチ回路は、図15に示した単位回路が複数個直列に接続されて構成されている。各単位回路の構成要素であるFETのゲートはそれぞれ共通に接続され、抵抗器54を介してそれぞれに等しいバイアス電圧が印加される。また、回路の両端は第1の伝送線路57を介して第1の端子55及び第2の端子56に接続されている。

【0068】このような構成において、本実施の形態のスイッチ回路は、第1の実施の形態～第3の実施の形態と同様に、各FETがオフのとき、各単位回路はT型ハイパスフィルタと等価となるため、第1の端子55及び第2の端子56間には低挿入損失で広帯域特性を備えたオン状態が実現される。

【0069】一方、各FETがオンのとき、直列に接続された複数のFETの各抵抗によって第1の端子55及び第2の端子56間には高いアイソレーションで広帯域特性を有するオフ状態が実現される。なお、第1の端子55及び第2の端子56間の周波数特性は各FETの容量と第2の伝送線路58、及び第3の伝送線路59のそれぞれの幅と長さによって決定される。

【0070】次に、本実施の形態のスイッチ回路を形成した半導体装置について図17及び図18を用いて説明する。

【0071】本実施の形態の半導体装置は、図16に示したスイッチ回路を基に、ゲート長が $0.15\mu\text{m}$ 、ゲート幅が $100\mu\text{m}$ のAlGaAs系ヘテロ接合のFETと、長さ $5\mu\text{m}$ 、幅 $100\mu\text{m}$ の第1の伝送線路57と、長さ $5\mu\text{m}$ 、幅 $100\mu\text{m}$ の第2の伝送線路58と、長さ $150\mu\text{m}$ 、幅 $25\mu\text{m}$ の第3の伝送線路59と、長さ $50\mu\text{m}$ 、幅 $50\mu\text{m}$ の大きさの電極の下に形成された 13pH のインダクタンスを有するビアホール60とからなる単位素子を10個直列に接続して構成した。なお、FETのオフ時の容量は 30fF 、インダクタンスは 13pH である。

【0072】図17は本発明の半導体装置の第4の実施の形態の構造を示す平面図である。

【0073】図17において、FETはゲート電極62の片側にソース電極64が配置されて構成される。なお、ソース電極64は伝送線路としても機能する。

【0074】また、二つのFETのソース電極64どう

しが接続され、接続された二つのソース電極64の接続部位は、第3の伝送線路59とインダクタ53として機能するビアホール40とを介して接地金属が一面に配された半導体基板の裏面に接続される。これら伝送線路を含む二つのFET、第3の伝送線路59、及びビアホール60によって単位素子が形成され、単位素子を10個直列に配置することで本実施の形態の半導体装置が形成される。

【0075】また、各FETのゲート電極62はそれぞれ共通に接続され、バイアス線路上に設けられた抵抗器54を介してそれぞれに等しいバイアス電圧が印加される。また、半導体装置の両端には第1の伝送線路57としても機能するドレイン電極63を介して不図示の第1の端子55及び第2の端子56に接続されている。なお、図17では半導体装置の両端に配置されたFETを除く他のFETにはドレイン電極が形成されていないが、ドレイン領域はゲート電極が2本連続して配置された間に形成されている。

【0076】図18は図17に示した半導体装置の周波数特性を示すグラフである。図18に示すように本実施の形態の半導体装置は、58GHzから73GHzの広い周波数範囲で挿入損失が2.6dB以下、アイソレーションが23dB以上の特性を得た。また、有効帯域は15GHzであった。

【0077】（第5の実施の形態）図19は本発明のスイッチ回路の第5の実施の形態の構成要素である単位回路の構成を示す回路図であり、図20は本発明のスイッチ回路の第5の実施の形態の構成を示す回路図である。

【0078】図19において、本実施の形態の単位回路は、ソース及びドレインに、それぞれ一端が接地されたインダクタ73が接続されたFET71によって構成される。また、FET71のゲートには抵抗器74が接続されている。

【0079】図20において、本実施の形態の半導体装置は図19に示した単位回路が複数個直列に接続されて構成されている。各単位回路の構成要素であるFETのゲートはそれぞれ共通に接続され、抵抗器74を介してそれぞれに等しいバイアス電圧が印加される。また、スイッチ回路の両端はそれぞれ第1の端子75及び第2の端子76に接続されている。

【0080】このような構成において、第5の実施の形態は、各FETがオフのとき、各単位回路は π 型ハイパスフィルタと等価となるため、第1の端子75及び第2の端子76間には第1の実施の形態と同様に低挿入損失で広帯域特性を備えたオン状態が実現される。

【0081】一方、各FETがオンのとき、第1の実施の形態と同様に直列に接続された複数のFETの各抵抗によって第1の端子75及び第2の端子76間には高いアイソレーションで広帯域特性を有するオフ状態が実現される。なお、第1の端子75及び第2の端子76間の

周波数特性は各FETの容量とインダクタの値によって決定される。

【0082】次に、本実施の形態のスイッチ回路を形成した半導体装置について図21を用いて説明する。

【0083】本実施の形態の半導体装置は、図20に示したスイッチ回路を基に、ゲート長が0.15 μ m、ゲート幅が100 μ mのAlGaAs系ヘテロ接合のFETからなる単位回路を8個直列に接続して構成する。なお、FETのオフ時の容量は30fF、インダクタンスは13pHである。

【0084】図21は本発明の半導体装置の第5の実施の形態の周波数特性を示すグラフである。図21に示すように本実施の形態の半導体装置は、183GHzから235GHzの広い周波数範囲で挿入損失が1.1dB以下、アイソレーションが28.7dB以上の特性を得た。また、有効帯域は52GHzであった。

【0085】（第6の実施の形態）図22は本発明のスイッチ回路の第6の実施の形態の構成要素である単位回路の構成を示す回路図であり、図23は本発明のスイッチ回路の第6の実施の形態の構成を示す回路図である。

【0086】図22において、本実施の形態の単位回路は、ソースに第1の伝送線路87及び第3の伝送線路が直列に接続され、ドレインに第2の伝送線路88及び第4の伝送線路82が直列に接続されたFET81と、二つのインダクタ83とによって構成されている。第1の伝送線路87と第3の伝送線路89の接続点及び第2の伝送線路88と第4の伝送線路82の接続点にはそれぞれインダクタ83の一端が接続され、インダクタ83の他端は接地されている。

【0087】図23において、本実施の形態の半導体装置は図22に示した単位回路が複数個直列に接続されて構成されている。各単位回路の構成要素であるFETのゲートはそれぞれ共通に接続され、抵抗器84を介してそれぞれに等しいバイアス電圧が印加される。また、スイッチ回路の両端はそれぞれ第1の端子85及び第2の端子86に接続されている。

【0088】このような構成において、第6の実施の形態は、第5の実施の形態と同様に、各FETがオフのとき、各単位回路は π 型ハイパスフィルタと等価となるため、第1の端子85及び第2の端子86間には低挿入損失で広帯域特性を備えたオン状態が実現される。

【0089】一方、各FETがオンのとき、直列に接続された複数のFETの各抵抗によって第1の端子85及び第2の端子86間には高いアイソレーションで広帯域特性を有するオフ状態が実現される。なお、第1の端子85及び第2の端子86間の周波数特性は各FETの容量及びインダクタの値と、第1の伝送線路87、第2の伝送線路88、第3の伝送線路89、及び第4の伝送線路82の長さ及び幅によって決定される。

【0090】次に、本実施の形態のスイッチ回路を形成

した半導体装置について図24及び図25を用いて説明する。

【0091】本実施の形態の半導体装置は、図23に示したスイッチ回路を基に、ゲート長が $0.15\mu\text{m}$ 、ゲート幅が $100\mu\text{m}$ のAlGaAs系ヘテロ接合のFETと、長さ $150\mu\text{m}$ 、幅 $100\mu\text{m}$ の第1の伝送線路87～第4の伝送線路82からなる単位回路を10個直列に接続して構成する。なお、FETのオフ時の容量は 30fF 、インダクタンスは 13pH である。また半導体基板の厚さは $40\mu\text{m}$ である。

【0092】図24は本発明の半導体装置の第6の実施の形態の構造を示す平面図である。

【0093】図24において、FETはゲート電極92を挟んでド레인電極93及びソース電極94が両側に配置されて構成される。なお、ド레인電極93及びソース電極94はそれぞれ伝送線路としても機能する。

【0094】また、伝送線路でもあるFETのソース電極94及びド레인電極93は、インダクタ83として機能するビアホール90を介して接地金属が一面に配された半導体基板の裏面に接続される。これら伝送線路を含むFET及びビアホール90によって単位素子が形成され、単位素子を10個直列に配置することで本実施の形態の半導体装置が形成される。

【0095】また、各FETのゲート電極92はそれぞれ共通に接続され、バイアス線路上に設けられた抵抗器84を介してそれぞれに等しいバイアス電圧が印加される。また、半導体装置の両端には不図示の第1の端子85及び第2の端子86が接続される。

【0096】図25は図24に示した半導体装置の周波数特性を示すグラフである。破線で示した特性は単位素子を10個直列に接続した場合の周波数特性である。このとき、 134GHz から 160GHz の広い周波数範囲で挿入損失が 3.5dB 以下、アイソレーションが 140dB 以上の特性を得た。また、有効帯域は 26GHz であった。一方、実線で示した特性は単位素子を5個直列に接続した場合の周波数特性である。このとき、 134GHz から 162GHz の広い周波数範囲で挿入損失が 3.5dB 以下、アイソレーションが 68.6dB 以上の特性を得た。また、有効帯域は 28GHz であった。

【0097】（第7の実施の形態）図26は本発明のスイッチ回路の第7の実施の形態の構成を示す回路図である。

【0098】図26において、本実施の形態のスイッチ回路は、図23に示した第6の実施の形態のスイッチ回路を二つ用い、それぞれ的一方の端子を共有した構成となっている。

【0099】すなわち、本実施の形態のスイッチ回路は、図22に示した単位回路が複数個直列に接続された第1のスイッチ回路101及び第2のスイッチ回路10

2によって構成されている。また、第1のスイッチ回路101及び第2のスイッチ回路102の一端は第1の端子105に接続され、第1のスイッチ回路101の他端は第2の端子106に、第2のスイッチ回路102の他端は第3の端子107にそれぞれ接続されている。

【0100】また、第1のスイッチ回路101の構成要素である各FETのゲートは共通に接続され、第1の抵抗器103を介してそれぞれ等しいバイアス電圧が印加される。同様に、第2のスイッチ回路102の構成要素である各FETのゲートは共通に接続され、第2の抵抗器104を介してそれぞれ等しいバイアス電圧が印加される。

【0101】この第1のスイッチ回路101に印加するバイアス電圧及び第2のスイッチ回路102に印加するバイアス電圧を相補的に切り換えることで、RF信号の経路を切り換えることができる。

【0102】ところで、第1の実施の形態から第6の実施の形態までは単極単投型のスイッチ回路を示したものであり、それに対して本実施の形態では単極双投型のスイッチ回路の構成を示している。なお、第1の実施の形態～第6の実施の形態で示したスイッチ回路を複数個用い、それらの一方の端子を共有にすると複数のRF経路を切り換えることができる任意の多極多投型のスイッチ回路を構成することができる。

【0103】次に、本実施の形態のスイッチ回路を形成した半導体装置について図27を用いて説明する。

【0104】図27は本発明の半導体装置の構造を示す平面図である。

【0105】本実施の形態の半導体装置は、第6の実施の形態と同一のFETを用いて形成する。なお、第6の実施の形態では単位素子を10個あるいは5個直列に接続した場合を示したが、本実施の形態では5個の単位素子を直列に接続した場合を示す。

【0106】図27において、半導体装置には第1のスイッチ回路101及び第2のスイッチ回路102が直列に形成される。第1のスイッチ回路101及び第2のスイッチ回路102の接続部位には伝送線路115が接続され、伝送線路115は不図示の第1の端子105と接続される。また、第1のスイッチ回路101の他端（第2のスイッチ回路102と接続されない側）は不図示の第2の端子106と接続され、第2のスイッチ回路102の他端（第1のスイッチ回路101と接続されない側）は不図示の第3の端子107と接続される。

【0107】FETはゲート電極112を挟んでド레인電極113及びソース電極114が両側に配置されて構成される。なお、ド레인電極113及びソース電極114はそれぞれ伝送線路としても機能する。

【0108】また、伝送線路でもあるFETのソース電極114及びド레인電極113は、インダクタとして機能するビアホール120を介して接地金属が一面に配

された半導体基板の裏面に接続される。これら伝送線路を含む F E T 及びビアホール 1 2 0 によって単位素子が形成され、単位素子を 5 個直列に配置することで本実施の形態の半導体装置が形成される。

【0 1 0 9】また、各単位回路の構成要素である F E T のゲート電極 1 1 2 はスイッチ回路毎にそれぞれ共通に接続され、第 1 のスイッチ回路 1 0 1 では第 1 の抵抗器 1 0 3 を介してそれぞれに等しいバイアス電圧が印加される。同様に第 2 のスイッチ回路 1 0 2 では第 2 の抵抗器 1 0 4 を介してそれぞれに等しいバイアス電圧が印加される。

【0 1 1 0】なお、本実施の形態では、第 6 の実施の形態で示したスイッチ回路及び半導体装置を用いて単極双投型のスイッチ回路を構成する場合を示しているが、第 1 の実施の形態～第 5 の実施の形態のどのスイッチ回路及び半導体装置を用いても同様のスイッチ回路を構成することができる。

【0 1 1 1】

【発明の効果】本発明は以上説明したように構成されているので、以下に記載する効果を奏する。

【0 1 1 2】本発明のスイッチ回路及び半導体装置によれば、F E T がオンのときは低挿入損失のオン状態が得られ、F E T がオフのときは高いアイソレーションのオフ状態が得られるスイッチ回路が構成される。また、従来のスイッチ回路に比べて広い有効帯域を得られ、例えば、同じ周波数帯で 2. 6 倍以上の広い有効帯域が得られ、1 0 0 G H z 以上の高い周波数でもその高性能及び広い有効帯域を有するスイッチ回路を得ることができる。

【図面の簡単な説明】

【図 1】本発明のスイッチ回路の第 1 の実施の形態の構成要素である単位回路の構成を示す回路図である。

【図 2】本発明のスイッチ回路の第 1 の実施の形態の構成を示す回路図である。

【図 3】図 1 に示した F E T がオフのときの等価回路を示す回路図である。

【図 4】図 1 に示した F E T がオンのときの等価回路を示す回路図である。

【図 5】本発明の半導体装置の第 1 の実施の形態の周波数特性を示すグラフである。

【図 6】本発明のスイッチ回路の第 2 の実施の形態の構成要素である単位回路の構成を示す回路図である。

【図 7】本発明のスイッチ回路の第 2 の実施の形態の構成を示す回路図である。

【図 8】本発明の半導体装置の第 2 の実施の形態の構造を示す平面図である。

【図 9】図 8 に示した半導体装置の周波数特性を示すグラフである。

【図 1 0】本発明の半導体装置の第 2 の実施の形態の単位素子を 6 個直列に接続した場合の周波数特性を示すグ

ラフである。

【図 1 1】本発明のスイッチ回路の第 3 の実施の形態の構成要素である単位回路の構成を示す回路図である。

【図 1 2】本発明のスイッチ回路の第 3 の実施の形態の構成を示す回路図である。

【図 1 3】本発明の半導体装置の第 3 の実施の形態の構造を示す平面図である。

【図 1 4】図 1 3 に示した半導体装置の周波数特性を示すグラフである。

【図 1 5】本発明のスイッチ回路の第 4 の実施の形態の構成要素である単位回路の構成を示す回路図である。

【図 1 6】本発明のスイッチ回路の第 4 の実施の形態の構成を示す回路図である。

【図 1 7】本発明の半導体装置の第 4 の実施の形態の構造を示す平面図である。

【図 1 8】図 1 7 に示した半導体装置の周波数特性を示すグラフである。

【図 1 9】本発明のスイッチ回路の第 5 の実施の形態の構成要素である単位回路の構成を示す回路図である。

【図 2 0】本発明のスイッチ回路の第 5 の実施の形態の構成を示す回路図である。

【図 2 1】本発明の半導体装置の第 5 の実施の形態の周波数特性を示すグラフである。

【図 2 2】本発明のスイッチ回路の第 6 の実施の形態の構成要素である単位回路の構成を示す回路図である。

【図 2 3】本発明のスイッチ回路の第 6 の実施の形態の構成を示す回路図である。

【図 2 4】本発明の半導体装置の第 6 の実施の形態の構造を示す平面図である。

【図 2 5】図 2 4 に示した半導体装置の周波数特性を示すグラフである。

【図 2 6】本発明のスイッチ回路の第 7 の実施の形態の構成を示す回路図である。

【図 2 7】本発明の半導体装置の構造を示す平面図である。

【図 2 8】従来のスイッチ回路の構成を示す回路図である。

【図 2 9】図 2 8 に示した F E T がオフのときの等価回路を示す回路図である。

【図 3 0】図 2 8 に示した F E T がオンのときの等価回路を示す回路図である。

【図 3 1】図 2 8 に示したスイッチ回路の周波数特性を示すグラフである。

【符号の説明】

1、1 1、3 1、5 1	第 1 の F E T
2、1 2、3 2、5 2	第 2 の F E T
3、1 3、3 3、5 3、7 3、8 3	インダクタ
4、1 4、3 4、5 4、7 4、8 4	抵抗器
5、1 5、3 5、5 5、7 5、8 5、1 0 5	第 1 の端子

* 71、81 FET

82 第4の伝送線路

101 第1のスイッチ回路

102 第2のスイッチ回路

103 第1の抵抗器

104 · 第2の抵抗器

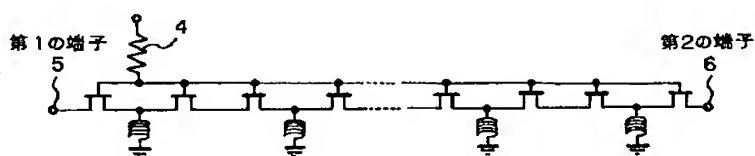
107 第3の端子

1 1 5 伝送線路

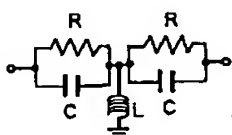
*

【图 2】

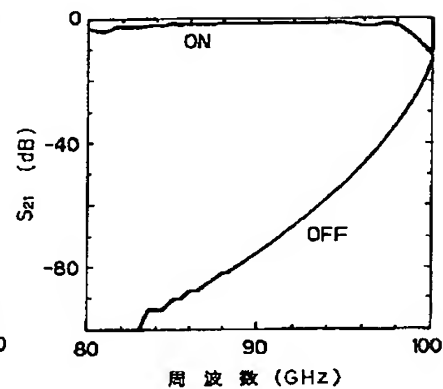
【図 2】



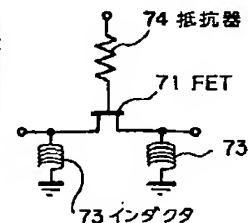
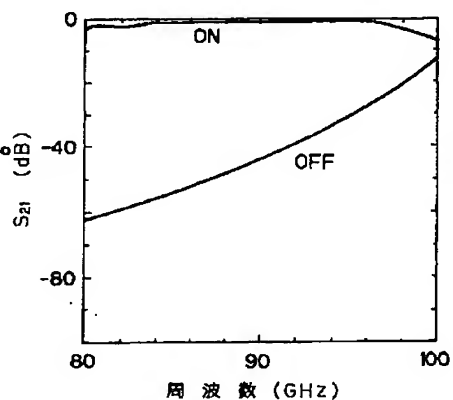
【図 4】



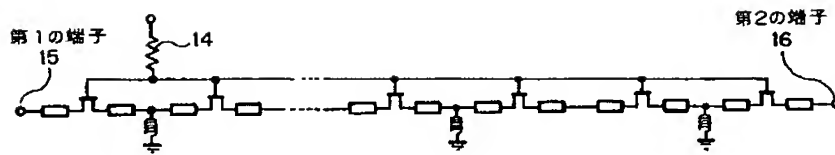
【图9】



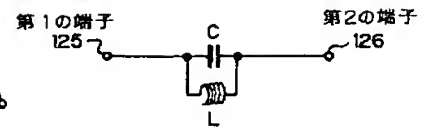
【图 19】



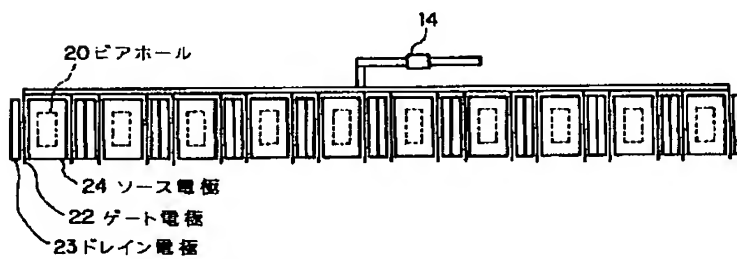
【図 7】



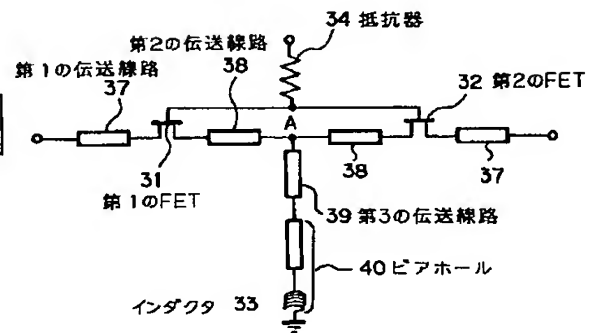
【図 29】



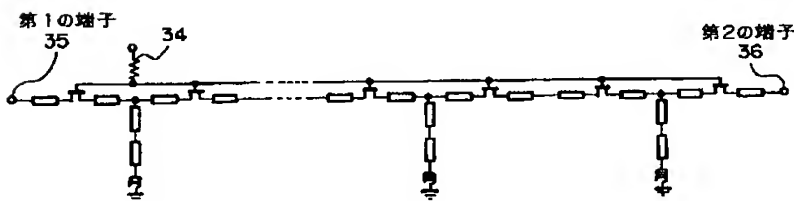
【図 8】



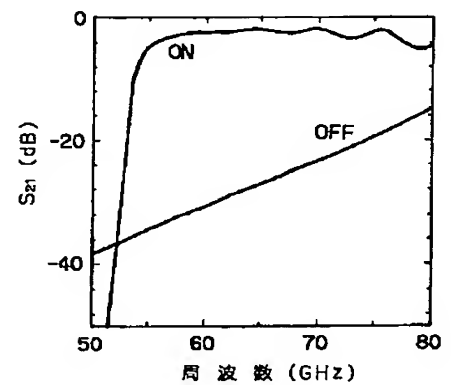
【図 11】



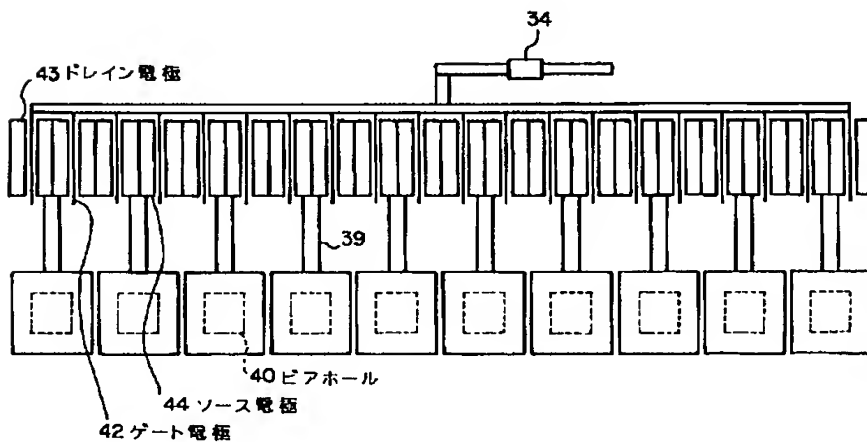
【図 12】



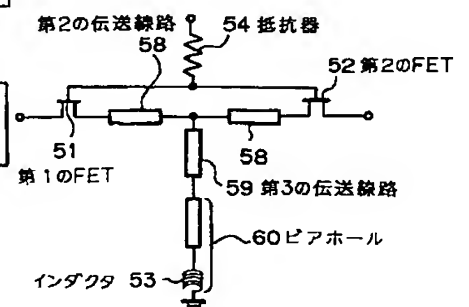
【図 14】



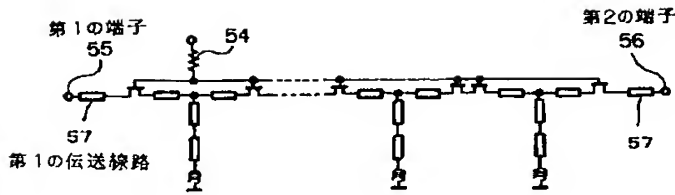
【図 13】



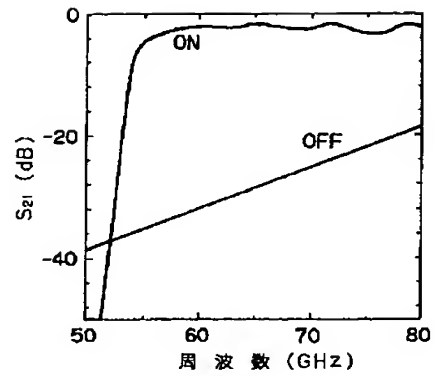
【図 15】



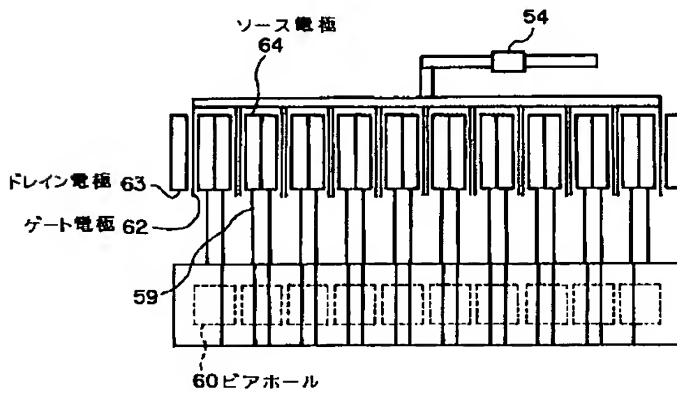
【図16】



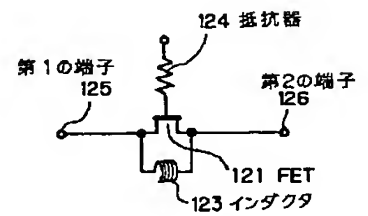
【図18】



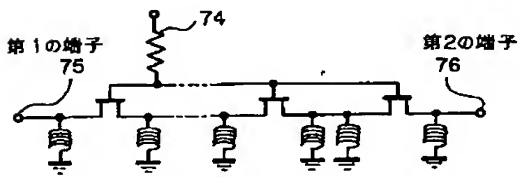
【図17】



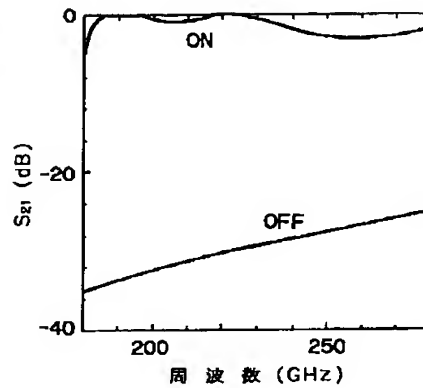
【図28】



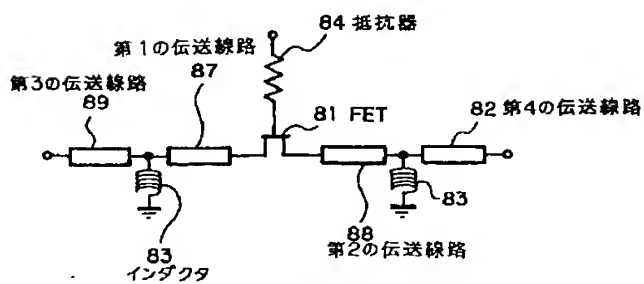
【図20】



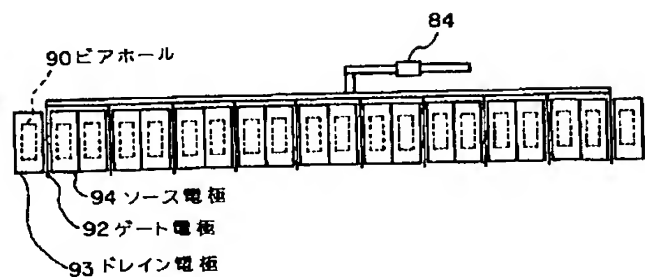
【図21】



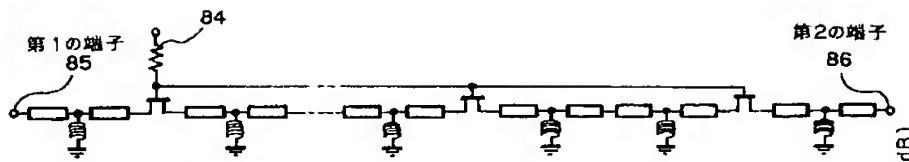
【図22】



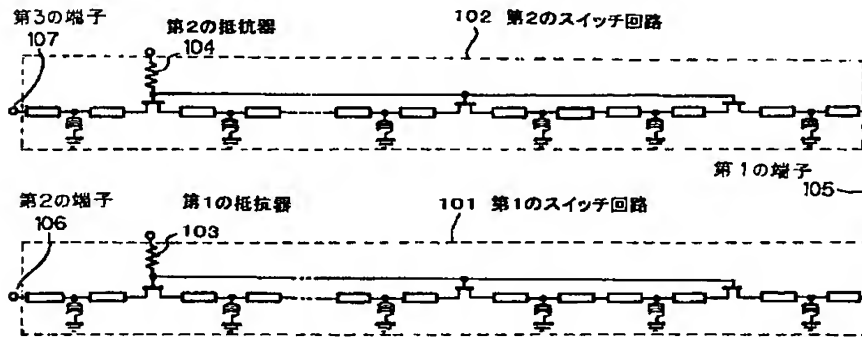
【図24】



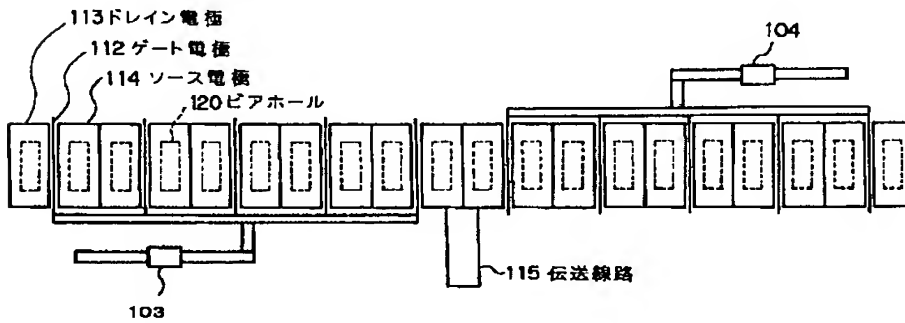
【図 2 3】



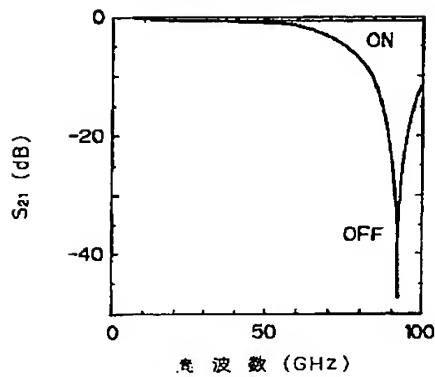
【図 2 6】



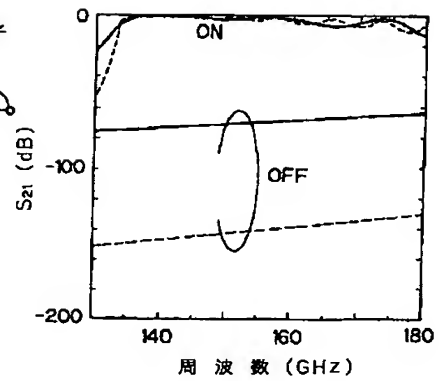
【図 2 7】



【図 3 1】



【図 2 5】



【図 3 0】

